

1/3/2 (Item 2 from file: 351) [Links](#)

Fulltext available through: [Order File History](#)

Derwent WPI

(c) 2008 Thomson Reuters. All rights reserved.

0009433022 & & Drawing available

WPI Acc no: 1999-371407/199931

XRFX Acc No: N1999-276918

**Bit-error checking method for data words belonging to instructions in parallel processing system**

Patent Assignee: TELEFONAKTIEBOLAGET ERICSSON L M (TELF)

Inventor: HOLMBERG P A; JONSSON T L; ROSENDAHL M

Patent Family ( 9 patents, 80 & countries )

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
WO 1999030235	A2	19990617	WO 1998SE2267	A	19981209	199931	B
SE 199704606	A	19990611	SE 19974606	A	19971210	199936	E
SE 511114	C2	19990809	SE 19974606	A	19971210	199938	E
AU 199917951	A	19990628	AU 199917951	A	19981209	199946	E
EP 1038224	A2	20000927	EP 1998962793	A	19981209	200048	E
			WO 1998SE2267	A	19981209		
JP 2001526422	W	20011218	WO 1998SE2267	A	19981209	200203	E
			JP 2000524727	A	19981209		
US 6330701	B1	20011211	US 1998207765	A	19981209	200204	E
EP 1038224	B1	20030402	EP 1998962793	A	19981209	200325	E
			WO 1998SE2267	A	19981209		
DE 69813018	E	20030508	DE 69813018	A	19981209	200338	E
			EP 1998962793	A	19981209		
			WO 1998SE2267	A	19981209		

Priority Applications (no., kind, date): SE 19974606 A 19971210

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes	
WO 1999030235	A2	EN	26	3		
National Designated States,Original	AL AM AT AU AZ BA BB BG BR BY CA CH CN CU CZ DE DK EE ES FI GB GE GH GM HR HU ID IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MD MG MK MN MW MX NO NZ PL PT RO RU SD SE SG SI SK SL TJ TM TR TT UA UG UZ VN YU ZW					
Regional Designated States,Original	AT BE CH CY DE DK EA ES FI FR GB GH GM GR IE IT KE LS LU MC MW NL OA PT SD SE SZ UG ZW					
SE 199704606	A	SV				
SE 511114	C2	SV				
AU 199917951	A	EN			Based on OPI patent	WO 1999030235
EP 1038224	A2	EN			PCT Application	WO 1998SE2267
					Based on OPI patent	WO 1999030235
Regional Designated States,Original	DE FR GB					
JP 2001526422	W	JA	29		PCT Application	WO 1998SE2267
					Based on OPI patent	WO 1999030235
EP 1038224	B1	EN			PCT Application	WO 1998SE2267
					Based on OPI patent	WO 1999030235
Regional Designated States,Original	DE FR GB					
DE 69813018	E	DE			Application	EP 1998962793
					PCT Application	WO 1998SE2267
					Based on OPI patent	EP 1038224
					Based on OPI patent	WO 1999030235

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 6 F 11/18	3 1 0	G 0 6 F 11/18	3 1 0 C 5 B 0 0 1
// G 0 6 F 11/10	3 3 0	11/10	3 3 0 Z 5 B 0 3 4

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21) 出願番号 特願2000-524727(P2000-524727)  
 (86) (22) 出願日 平成10年12月9日(1998. 12. 9)  
 (85) 翻訳文提出日 平成12年6月9日(2000. 6. 9)  
 (86) 国際出願番号 P C T / S E 9 8 / 0 2 2 6 7  
 (87) 国際公開番号 W O 9 9 / 3 0 2 3 5  
 (87) 国際公開日 平成11年6月17日(1999. 6. 17)  
 (31) 優先権主張番号 9 7 0 4 6 0 6 - 4  
 (32) 優先日 平成9年12月10日(1997. 12. 10)  
 (33) 優先権主張国 スウェーデン (S E)

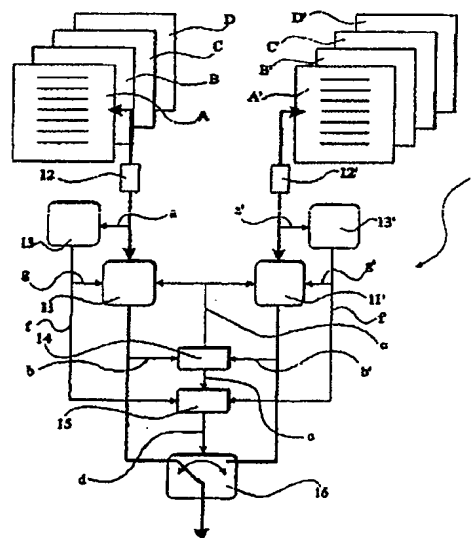
(71) 出願人 テレフオンアクチーボラゲット エル エム エリクソン (パブル)  
 スウェーデン国エス - 126 25 ストックホルム (番地なし)  
 (72) 発明者 ローゼンダール、ミハエル  
 スウェーデン国 ファルスタ、ファルスタベージェン 87  
 (72) 発明者 ヨンソン、トマス、ラルス  
 スウェーデン国 ソデルタルイエ、ヘルティグ カールス ベーグ 27シー  
 (74) 代理人 弁理士 浅村 皓 (外3名)

最終頁に続く

(54) 【発明の名称】 プロセッサに関連する方法と、その方法に基づく機能に適合したプロセッサ

## (57) 【要約】

本発明は、いわゆる二重プロセッサ・モードで互いに並列して動作する第1 (11) および第2 (11') 計算ユニットを有するプロセッサの中に読み込まれる命令に属するデータ・ワードのビット誤りチェックで利用可能な情報を利用する方法に関する。このプロセッサ構造はまた読み込みデータ内の起こりうるビット誤りを連続的にチェックすることを意図した第3および第4計算ユニット (13, 13') と、並列動作ユニット (11, 11') からの出力データを比較するための比較器 (14) と、比較器 (14) 内で出力データ間の差が検出された際にどちらの計算ユニットが正しい出力データを出したかを判定するように適合された診断ユニット (15) と、そしてプロセッサ構造 (1) からの出力データが正しい出力データを出した計算ユニットから出されるよう制御するように適合された制御ユニット (16) とを含む。プロセッサは出力データ間の差が比較器内で検出された時に単一プロセッサ・モードに切り替わる。プロセッサが二重プロセッサ・モードで動作している時はデータ・ワードは起こりうるビット誤りを訂正すること



**【特許請求の範囲】**

**【請求項1】** プロセッサの中に読み込まれる命令に属するデータ・ワード内のビット誤りチェックを行う際に利用できる情報を使用する方法であって、前記プロセッサは互いに並列動作する第1および第2計算ユニットと、前記第1計算ユニットの中に第1データ・ワードを読むように適合された第1読み込みユニットと、前記第2計算ユニットの中に第2データ・ワードを読むように適合された第2読み込みユニットと、前記第1計算ユニットの中に読み込まれた前記第1データ・ワード内の前記ビット誤りチェックを連続的に実行するように適合された第3計算ユニットと、前記第2計算ユニットの中に読み込まれた前記第2データ・ワード内の前記ビット誤りチェックを連続的に実行するように適合された第4計算ユニットと、その中で前記並列動作計算ユニットからの出力データが比較される比較器と、比較器が前記出力データ内に差を検出したときにどちらの計算ユニットから正しい出力データが出されかを判定するように適合された診断ユニットと、そしてプロセッサ構造出力データが正しい出力データを出した計算ユニットから出されるように制御するように適合された制御ユニットとを含み、ここで前記2つの並列動作計算ユニットは比較器が前記出力データ内に差を検出した際に前記判定の結果を待ち、その後正しい出力データを出した計算ユニットが前記判定の結果が得られた後に動作を継続し、一方正しくない出力データを出した計算ユニットは停止されスタートアップ・ルーチンに入り、その中で前記停止中計算ユニットは未だ動作中の計算ユニットと同期が取られ、その後前記停止中計算ユニットは停止されなかった計算ユニットと並列動作をするために再スタートされる前記方法であって、前記第1および第2計算ユニットが互いに並列動作している際に、前記データ・ワードがそれぞれの第1および第2計算ユニットに起こりうるビット誤りを訂正せずに直接読み込まれ；前記情報が前記判定プロセスで使用されることを特徴とする前記方法。

**【請求項2】** 請求項1記載の方法であって、ビット誤りを含むデータ・ワードが前記2つの並列動作している計算ユニットの中に読み込まれた際に、前記2つの並列動作計算ユニットの1つに読み込まれたデータ・ワードがビット誤りを含んでいるか否かを示す前記情報がその計算ユニットからの出力データが正し

くなくと考えるのに使用されることを特徴とする前記方法。

【請求項3】 請求項1記載の方法であって、前記2つの並列動作している計算ユニットの1つが停止中に、前記情報がプロセッサの中に読み込まれた誤りを含んでいる可能性のあるデータ・ワードのビット誤りを、それぞれのデータ・ワードが単独動作中の第1または第2計算ユニットの中に読み込まれる前に訂正するために使用され；前記第3および前記第4計算ユニットが前記誤り訂正を実行するように適合されていることを特徴とする前記方法。

【請求項4】 請求項3記載の方法であって、前記誤り訂正がプロセッサ構造で利用可能な異なるメモリにアクセスする際に生じうる誤りを訂正することを意図した従来の誤り訂正を含むことを特徴とする前記方法。

【請求項5】 先行の請求項のいずれか1つに記載の方法であって、それぞれのデータ・ワードには複数のチェックビットが続いており；前記チェックがそれぞれのデータ・ワード内のデータ・ビットを後続のチェックビットとマッチングをとることを含み；ビット誤りを含むデータ・ワードの全ての誤り訂正がそれぞれのデータ・ワードに続くチェックビットの媒体を通して可能とされることを特徴とする前記方法。

【請求項6】 請求項1記載の方法であって、第1データ・ワードが第1メモリから読み込まれ、前記第2データ・ワードが前記第1メモリとは別の第2メモリから読み込まれることを特徴とする前記方法。

【請求項7】 請求項1記載の方法であって、前記第1および第2データ・ワードが共通メモリから読み込まれる同一データ・ワードで構成されることを特徴とする前記方法。

【請求項8】 プロセッサであって、互いに並列動作する第1および第2計算ユニットと、命令に属する第1データ・ワードが前記第1計算ユニットの中に読み込めるようにしている第1読み込みユニットと、前記命令に属する第2データ・ワードが前記第2計算ユニットの中に読み込めるようにしている第2読み込みユニットと、前記第1計算ユニットの中に読み込まれた前記第1データ・ワード内のビット誤りチェックが連続的に実行出来るようにしている第3計算ユニットと、前記第2計算ユニットの中に読み込まれた前記第2データ・ワード内のビ

ット誤りチェックが連続的に実行出来るようにしている第4計算ユニットと、その中で前記並列動作計算ユニットからの出力データが比較される比較器と、比較器が前記出力データ内に差を検出したときにどちらの計算ユニットから正しい出力データが出されたかを判定される診断ユニットと、そしてプロセッサ構造出力データが正しい出力データを出した計算ユニットから出されるように制御することの出来る制御ユニットとを有し、ここで前記2つの並列動作計算ユニットは前記比較器内で差が検出された際に前記判定を待つように適合され、その後正しい出力データを出した計算ユニットが前記判定の結果が得られた後に動作を継続するように適合され、一方正しくない出力データを出した計算ユニットは停止されスタートアップ・ルーチンに入れられ、その中で前記停止中計算ユニットは未だ動作中の計算ユニットと同期され、その後前記停止中の計算ユニットが停止されなかったユニットと並列動作をするために再スタートされる前記プロセッサであって、2つの第1および第2計算ユニットが互いに並列動作している際に、第1および第2データ・ワードがそれぞれ第1および第2計算ユニットの中に、起こりうるビット誤りを訂正せずに直接読み込まれ；前記情報が前記判定プロセスで使用されることを特徴とする前記プロセッサ。

【請求項9】 請求項8記載のプロセッサであって、診断ユニットが2つの並列動作している計算ユニットの1つの中に読み込まれるデータ・ワードがビット誤りを含んでいるか否かを示す前記情報を、ビット誤りを含むデータ・ワードが前記2つの並列動作している計算ユニットの1つの中に読み込まれた際にこの計算ユニットからの出力データが正しくないと考慮することにより利用するように適合されたことを特徴とする前記プロセッサ。

【請求項10】 請求項8記載のプロセッサであって、前記2つの並列動作計算ユニットの1つが停止中に、前記第3および第4計算ユニットがそれぞれ前記情報を利用して、誤りを含んでいる可能性のある読み込みデータ・ワード内のビット誤りを、それぞれのデータ・ワードが単独動作している第1または第2計算ユニットの中に読み込まれる前に訂正するように適合され；前記第3および第4計算ユニットが前記誤り訂正を実行するように適合されていることを特徴とする前記プロセッサ。

【請求項11】 請求項10記載のプロセッサであって、前記第3および前記第4計算ユニットが、前記プロセッサ構造で利用可能な異なるメモリにアクセスする際に生じうる誤りを訂正することを意図した従来の誤り訂正を含む誤り訂正を実行するように適合されていることを特徴とする前記プロセッサ。

【請求項12】 請求項8から11の任意の項記載のプロセッサであって、それぞれのデータ・ワードには複数のチェックビットが続くように適合され；前記チェックがそれぞれのデータ・ワード内のデータビットと後続のチェックビットとのマッチングをとることを含み；前記第3および前記第4計算ユニットがビット誤りを含むデータ・ワードの誤り訂正をそれぞれのデータ・ワードに続くチェックビットの媒体を通して実行するように適合されていることを特徴とする前記プロセッサ。

【請求項13】 請求項8記載のプロセッサであって、前記第1読み込みユニットが第1メモリから読みとるように適合され；前記第2読み込みユニットが前記第1メモリとは別の第2メモリから読みとるように適合されていることを特徴とする前記プロセッサ。

【請求項14】 請求項8記載のプロセッサであって、前記第1および第2データ・ワードが同一データ・ワードであり；前記第1読み込みユニットおよび前記第2読み込みユニットは共に同じデータ・ワードを共通メモリから読みとるように適合されていることを特徴とする前記プロセッサ。

**【発明の詳細な説明】****【0001】****(技術分野)**

本発明は、プロセッサに読み込まれる命令に関するデータ・ワード内のビット誤りチェックを実行する際に利用される情報の使用方法に関する。

**【0002】**

この方法は特に、互いに並列に動作する第1および第2計算ユニットと、第1計算ユニットの中にデータ・ワードを読み込むように適合された第1読み取りユニットと、そして第2計算ユニットの中にデータ・ワードを読み込むように適合された第2読み取りユニットを含むプロセッサでのアプリケーションに適している。

**【0003】**

本発明はまた本発明の方法に基づき動作するように適合されたプロセッサに関する。

**【0004】****(背景技術)**

使用されるデータ・ワード内にビット誤りが存在するか否かを連続的にチェックすることを意図した第3および第4計算ユニットをも含むプロセッサ構造も長く知られている。この種類のプロセッサ構造は二重プロセッサ・モードで機能すると言える。

**【0005】**

プロセッサ構造はまた並列動作計算ユニットからの出力データを比較するための比較器と、この比較器の中で出力データの間には差が検出された際に2つの計算ユニットのどちらが正しい出力データを出したかを確認または判定するように適合された診断ユニットと、正しい出力データを出した計算ユニットの出力データがプロセッサ構造から出力されることを保証するように適合された制御ユニットをも含む。

**【0006】**

2つの並列動作計算ユニットは、比較器内で差が検出された際に診断ユニット

の判定結果を待ち、その後正しい出力データを出した計算ユニットが判定結果が受信された後も動作を続ける。

#### 【0007】

正しくない出力データを出した計算ユニットは停止されてスタートアップ・ルーチンが行われ、これによって停止中計算ユニットは動作を継続している計算ユニットと同期を取られ、それから停止されなかった計算ユニットとの並列動作が再開できる。1つの計算ユニットのみが動作中の時は、そのプロセッサ構造は一般的に「単一モード・プロセッサ」として動作すると言える。停止中とは、計算ユニットが動作を停止しスイッチが切られた事を意味するのではなく、その計算ユニットが標準実行作業の実施を停止して、その代わりに種々の自己チェックそして／または先に述べたスタートアップ・ルーチンを実行するモードに切り換えられることを意味する。

#### 【0008】

本書の中で計算ユニットとは、該ユニットの中に読み込まれた命令またはデータ・ワードを処理または実行するためのユニット、例えばプロセッサまたはプロセッサ内のALU（算術論理ユニット:Arithmetic Logical Unit）である。

#### 【0009】

プログラム・コード上で入力されたデータ・ワード内のビット誤りを訂正するために二重プロセッサ・モードで誤り訂正を使用すること及び、2つのプロセッサの出力結果の間に差が生じた場合どちらのプロセッサが間違った結果を出力したかを診断する際に、どちらのプロセッサが間違った結果を出力したかを確認または判定することは知られて久しい。

#### 【0010】

プロセッサ変動に対して非常に敏感なシステム内では通常、精密に同じ動作を実行する2つの並列プロセッサが使われる。

#### 【0011】

各々が命令を実行する2つのプロセッサから得られる結果は比較され、前記結果が同一の時にそれらの結果は正しいと考えられる。

#### 【0012】



それらの結果が異なる場合、1つのプロセッサが正しくない計算を行ったと想定され、従ってどちらのプロセッサが間違った結果を出したかを確定する必要がある。

#### 【0013】

差が検出された際に1つの診断方法が用いられ、これは正しくない結果を出したプロセッサを同定する。この方法を実行するための最大時間は20msであり、この時間の間どちらのプロセッサも計算または入力命令に対する実行動作を行わず、待機状態のまま例えばある種の自己診断動作を実行する。

#### 【0014】

どちらのプロセッサが正しくない結果を出したかが確定されると、正しいプロセッサは単一モード・プロセッサとして入力命令実行を継続する。

#### 【0015】

この期間、システムは非常に弱体であり、それはこの単一プロセッサからの結果が正しいか否かを確かめるための制御が一切無いからである。

#### 【0016】

従って停止中のプロセッサは出来るだけ早く再スタートされなければならない。これは特定のスタートアップ・ルーチンで実現され、この中で停止中のプロセッサは再スタートされ正しいプロセッサと同期される。

#### 【0017】

このスタートアップ・ルーチンは実行するのに数分を要し、かつ停止中のプロセッサに属する全てのメモリの全再書き込みを含み、これらのメモリには正しいプロセッサのメモリ内に存在するものと同一情報が割り当てられる。

#### 【0018】

停止中のプロセッサ内の全てのメモリの内容が正しいプロセッサに属するメモリの内容と同一になると、停止中のプロセッサは再スタートが可能となり、システムは単一プロセッサ・モードから二重プロセッサ・モードへ切り換えられる。

#### 【0019】

不正確に実行された命令に関しては、最も高い頻度での誤りは通常メモリからの読み込み、いわゆるメモリ・アクセスに関連して生じる。これはいくつかの異

なるメモリがプロセッサの周りで動作し、かつメモリはそれ自体高い誤り率を有するからである。

#### 【0020】

プログラム・コードから命令を読み込む際に、従来からの誤り訂正を用いて、誤ったメモリ・アクセスで引き起こされる多くのエラーを削減することが知られている。

#### 【0021】

従来からの誤り訂正は、命令を読み込む際に各々のデータ・ワードに複数のチェック・ビットを使用して実施され、これらのチェック・ビットは読み込まれた命令が正しいか否かをチェックするアルゴリズムを付勢する。データ・ワードが不正確に読み込まれると、このチェック・ビットがデータ・ワードの誤り訂正に使用される。

#### 【0022】

簡単に言うと、誤り訂正は3つの異なる道を取りうる：

- ・誤りが発見され訂正される；
- ・誤りが発見され訂正できない；または
- ・誤りが発見され間違って訂正される。

#### 【0023】

別の可能性は読み込まれたデータ・ワードが、誤り訂正アルゴリズムでは発見できないビット・エラーを含むことである。

#### 【0024】

第1番目の場合は結果として正しいデータ・ワードがプロセッサの中に読み込まれ誤りは発生しない。

#### 【0025】

第2番目の場合は結果として正しくないデータ・ワードがプロセッサの中に読み込まれ、最終的には並列動作プロセッサからの結果と異なることになる。

#### 【0026】

この場合は診断手順は簡略化される、何故ならば誤り訂正アルゴリズムから得られた結果は1つのデータ・ワードが正しくなかったことを示しているからであ

る。

#### 【0027】

第3番目の場合、正しくないデータ・ワードがプロセッサ内に読み込まれ、結果として並列プロセッサから得られる結果と差が生じる。この場合診断手順は誤り訂正アルゴリズムから何らの支援も受けられない、それはそのアルゴリズムは読み込まれたデータ・ワードが正しい（訂正された）ことを示しているからである。この第3番目の可能性は通常は非常に希である。

#### 【0028】

プロセッサに読み込まれたデータ・ワード内のビット・エラーが発見されない場合、先に説明した第3番目の事象と同一の状況が生じる。

#### 【0029】

メモリ・アクセス手順は通常5から6データ・サイクルの期間を有し、この中の1データ・サイクルが誤り訂正に使用される。

#### 【0030】

命令フローが連続している場合、このデータ・サイクルで必要とされる追加の時間は、命令が相互に順次到着するので、重要性を持たない。

#### 【0031】

例えばジャンプ命令の場合のように、シーケンス割り込みが読み込み命令の中に有る場合、シーケンス命令の前には未知であるアドレスからメモリに再アクセスする必要がある。

#### 【0032】

これは結果として読み込みシーケンス内で、アクセス時間の期間に相当する時間経過を生じ、従って5から6データ・サイクルの程度の期間となる。

#### 【0033】

誤り訂正はALUで実行され、これはプロセッサの標準実行作業には含まれていなくて、誤り訂正のためだけに使用される。この訂正処理工程は従ってプロセッサの残りの容量は消費しない。しかしながら、その命令が標準プロセッサ内で使用可能と考えられるまで結果を待つ必要がある。

#### 【0034】

入力時間の 1 パーセントに相当する利得は、システムの信頼性を基本的に保ちながら効率を向上させる事に関して非常に有益であると考えられる。

#### 【0035】

プログラム・コードから読み込まれる全命令の約 10% が異なる種類のジャンプ命令を構成しており、これらは計算ユニットの中に命令を読み込む際にいわゆるシーケンス割り込みを引き起こす命令である。

#### 【0036】

順に読み込まれる命令は各々 1 データ・サイクルを要するのに対し、ジャンプ命令は 6 データ・サイクルを要するが、それはジャンプ命令で構成された読み込み命令内のシーケンス割り込みのためである。

#### 【0037】

本発明の目的は、一般的にシーケンス割り込みで消費される追加時間をシステムの信頼性に悪影響を与えることなく削減することである。

#### 【0038】

各々のジャンプ命令が例えば 6 データ・サイクルの代わりに 5 データ・サイクルで行われるように出来れば、平均して 15 データ・サイクル当たり 1 データ・サイクルの削減となり、これは全入力時間の 6.7% に相当する。これは現在の状況でかなりの時間節約を表している。

#### 【0039】

US-A-4358823, US-A-4916696 及び EP-A2-0433979 もまた本発明の背景を記述している。

#### 【0040】

(発明の開示)

(技術的問題)

先に説明したように従来技術を検討すると、技術的問題の 1 つは命令を実質的にシステムの信頼性を維持しながら更に効率的にプロセッサに読み込ませることを可能とし、前記 2 つの並列動作計算ユニットからの出力データ内に差が検出された際にどの計算ユニットが正しい出力データを出したかの診断に消費する時間を比較的短くする事であることが分かるであろう。

**【0041】**

別の技術的問題は、システムの信頼性とシステムの効率との間でバランスが得られる条件を生成することである。

**【0042】**

別の技術的問題は、プロセッサ内に読み込まれるデータ・ワードで必要とされるデータ・サイクル数の削減を、システムの信頼性または効率を全体として低下させることなく行えるようにすることである。

**【0043】**

別の技術的問題は、データ・ワードが考えられるビット誤りに関して未訂正でそれぞれの計算ユニットの中に直接読み込まれた時にも、要求されるシステムの信頼性と希望する効率との間で得られるバランスを可能とすることである。

**【0044】**

更に別の技術的問題は、並列運転されている2つの計算ユニットの中にデータ・ワードを読み込む際に、ビット誤り制御で得られる情報が第3計算ユニットからの結果、すなわちビット誤り制御からの結果を待つ必要なく使用できるようにすることである。

**【0045】**

別の技術的問題は、プロセッサ構造が二重モード・プロセッサまた単一モード・プロセッサの両方で使用された際に、システムの信頼性とシステムの効率の間の必要なバランスが得られ、また信頼性水準に適合し何れの場合も効率を強化するように適合できるようにすることである。

**【0046】**

更に別の技術的問題は、ビット誤り訂正を行うための基本的に既知の誤り訂正アルゴリズムと2つの並列動作計算ユニットからの出力データ内に差が生じた際に、どちらの計算ユニットが正しい出力データを出したかを診断するための判定方法とを使用して、全体としてシステムの信頼性レベルを維持しデータ・ワードの入力を更に効率的に行うようにする事である。

**【0047】**

別の技術的問題は、プロセッサまたはプロセッサ構造を本発明の方法に基づき

動作するように適合させることである。

#### 【0048】

その様なプロセッサ構造に関して、システム内に含まれる計算ユニット並びにその他のユニットが相互に協調して働き、二重プロセッサ・モードで動作する際には第1の信頼性レベルを、また単一プロセッサ・モードで動作する際には第2の信頼性レベルを提供し、ここで両方の信頼性レベルが満足 of いくものであつて、二重プロセッサ・モードでの動作が既知の技術に比較して更に効率的であるようにすることの可能な手段と方法を提供することに技術的な問題が存在する。

#### 【0049】

別の技術的問題は、既知の技術に関連して本質的に新たなユニットまたは機能を追加することなく先に述べたことに基づいて、プロセッサまたはプロセッサ構造を提供することである。

#### 【0050】

(発明を実施するための最良の形態)

先に述べた技術的問題の1つまたはいくつかを解決することを意図し、本発明の開始点は導入部で説明した技術分野に基づく方法並びにプロセッサである。更にメモリアクセスしデータ・ワードを計算ユニットに入力するために必要とされるデータ・サイクルの回数を削減することを意図して、前記第1および第2計算ユニットが共に並列動作している間に、可能性のあるビット誤りに関して未訂正のままデータ・ワードを直接それぞれの計算ユニットに入力する事が提案されている。これはそれぞれのアクセス動作に関して1データ・サイクルが節約されることを意味しており、その結果読みとりシーケンス中に割り込みを引き起こすジャンプ命令の場合時間利得が得られる。

#### 【0051】

未訂正データ・ワードを読みとる結果、複数のエラーを含むデータ・ワードが読みとられ、それに共なって並列運転される2つの計算ユニットから出力されるデータ間に複数の差が検出される。本発明によれば、それぞれ第3および第4計算ユニットに含まれる情報が、差が検出された際に2つの計算ユニットのどちらが正しい出力データを出したかを確認するために使用される。

## 【0052】

本発明によれば、ビット誤りを含むデータ・ワードが2つの並列動作計算ユニットの1つの中に読み込まれると、前記情報は前記計算ユニットからの出力データが正しくないと考慮して使用され、これは検出された差がエラーを含む読み込みデータによる場合、診断部での判定をかなり簡略化する。

## 【0053】

並列で動作している2つの計算ユニットの1つが停止された際に希望する高いシステム信頼性を維持することを意図して、本発明によれば第3または第4計算ユニットから得られた情報がデータ・ワード内のビット誤りを訂正するために使用されており、これらのデータ・ワードはそれぞれのデータ・ワードが単一プロセッサ・モードで動作している第1または第2計算ユニットの中に読みとられる前に誤りを含んで読みとられたものであって、第3および第4計算ユニットはこの誤り訂正を実行するように適合されている。この場合効率は少し落ちるが、それは誤り訂正で必要とされるデータ・サイクルがデータ・ワード読み込み時に使用されなければならないからであって、これは単一プロセッサ・モードでシステムの信頼性を満足させるために払わなければならない負担である。

## 【0054】

また本発明に基づき、プロセッサ構造で利用可能な異なるメモリへのアクセスで生じる誤りを訂正することを意図した従来からの誤り訂正によりビット誤りを訂正することが提案されている。

## 【0055】

この誤り訂正が可能なのは、それぞれのデータ・ワードに複数のチェックビットが続いていて、チェックがそれぞれのデータ・ワード内のデータ・ビットを続くチェック・ビットと整合させることを含み、ビット誤りを含むデータ・ワードの可能な誤り訂正がそれぞれのデータ・ワードに続くチェックビットを通して得られるためである。

## 【0056】

また、本発明に基づき本発明の方法に従って動作するように適合されたプロセッサもここに提案するものであり、これは並列に動作できる第1および第2計算

ユニットと、命令に属するデータ・ワードが第1計算ユニット内に読み込まれることを可能とする第1読み込みユニットと、そして命令に属するデータ・ワードが第2計算ユニット内に読み込まれることを可能とする第2読み込みユニットと、を含むプロセッサ構造を基本としている。

#### 【0057】

このプロセッサ構造はまた、それぞれの第1および第2計算ユニット内に読み込まれたデータ・ワード内のビット誤りが連続的にチェック出来る第3および第4計算ユニットと、並列動作している計算ユニットからの出力データが比較できる比較器と、該比較器で差が検出された際にどちらの計算ユニットが正しい出力データを出したかを確認するように機能する診断ユニットと、そして前記プロセッサ構造からの出力データが正しい出力データを出した計算ユニットから導かれるよう保証するように機能する制御ユニットと、を含む。

#### 【0058】

本発明の別の実施例に基づけば、2つの並列動作する計算ユニットは比較器内で差が検出された時に判定結果を待つように適合されており、その後正しい出力データを出した計算ユニットは判定結果が得られた後も動作を継続し、一方正しい出力データを出した計算ユニットは停止されスタートアップ・ルーチンに入る。

#### 【0059】

停止中計算ユニットはこのスタートアップ・ルーチンを通して、動作を継続している計算ユニットと同期をとられ、その後停止中の計算ユニットは停止されなかった計算ユニットとの並列動作が再スタート出来る。

#### 【0060】

その様なプロセッサを基本として、本発明に基づいて第1および第2計算ユニットが両方とも並列で動作している際に、データ・ワードを、起こりうるビット誤りを訂正することなく、それぞれの計算ユニットの中に直接読み込むことが可能であり、その情報が判定工程に関して利用可能であることが提案されている。

#### 【0061】

別の実施例に基づき、診断ユニットは2つの並列動作計算ユニットの1つの中



に読み込まれたデータ・ワードにビット誤りが含まれていたか否かを示す情報を利用するように適合されており、ビット誤りを含むデータ・ワードが前記2つの並列動作計算ユニットの1つに読み込まれた時に、前記計算ユニットからの出力データが正しくないか検討する。

#### 【0062】

2つの並列動作計算ユニットの1つが停止中の時、第3または第4計算ユニットは、それぞれのデータ・ワードが単一モードで動作している第1または第2計算ユニット内に読み込まれる前に、読み込まれた全ての誤りを含むデータ・ワード内のビット誤りの誤り訂正用情報を利用するように機能する。

#### 【0063】

第3および第4計算ユニットは誤り訂正を実行するように適合されている。

#### 【0064】

以前から知られている技術を使用できるようにすることを意図して、本発明に基づき第3および第4計算ユニットは誤り訂正を実行するように適合されており、該誤り訂正はプロセッサ構造で利用可能な異なるメモリにアクセスする際に生じる誤りを訂正することを意図した従来の誤り訂正を含む。

#### 【0065】

これはデータ・ワードのそれぞれに複数のチェックビットを後続させることで実現することが可能であり、ここでビット誤りチェックはそれぞれのデータ・ワード内のデータ・ビットを後続のチェック・ビットと整合させることを含み、第3および第4計算ユニットはビット誤りを含むデータ・ワードの全ての誤り訂正をそれぞれのデータ・ワードに続くチェックビットの媒体を通して実行されるように適合されている。

#### 【0066】

(利点)

本発明に基づく方法並びにプロセッサに主として特有の利点は主としてプロセッサ内へ命令を読み込む時間をかなり削減することにある。

#### 【0067】

別の利点は診断プロセスまたは判定プロセスが非常に簡単で、かつ誤りが誤り

を含むデータ・ワードが入力されたことによる場合迅速に実行できることであり、これはその様な場合に必要なのはどのプロセッサに誤り訂正アルゴリズムで示された誤りを含むデータ・ワードが読み込まれたかを確定することだけだからである。

#### 【0068】

本発明の方法の主たる特徴的機能は添付の請求項1の特徴部に記載されており、一方本発明のプロセッサの主たる特徴的機能は添付の請求項8の特徴部に記載されている。

#### 【0069】

本発明の特徴を有する方法並びにプロセッサを次に、添付図を参照して例に基づいて更に詳細に説明する。

#### 【0070】

(好適な実施例の詳細な説明)

図1に示されているプロセッサ1は互いに並列動作する第1計算ユニット11と第2計算ユニット11'、命令Aに属する第1データ・ワードを第1計算ユニット内に読み込むように適合された第1読み込みユニット12、そして命令A'に属する第2データ・ワードを第2計算ユニット11'内に読み込むように適合された第2読み込みユニット12'を含む構造を有する。

#### 【0071】

第1および第2データ・ワードは同一のデータ・ワードであるが、異なるメモリ内に格納されている。

#### 【0072】

第3計算ユニット13は第1計算ユニット11の中に読み込まれるデータ・ワード内の起こりうるビット誤りのチェック「a」を連続的に実行するように適合されている。同様に第4計算ユニット13'は第2計算ユニット11'の中に読み込まれるデータ・ワード内の全てのビット誤りのチェック「a'」を連続的に実行するように適合されている。

#### 【0073】

図示されたプロセッサ構造は、並列動作計算ユニット11, 11'からの出力

データ「b」、「b'」を比較するように適合された比較器14、前記比較器14が差「c」を検出した際にどちらの計算ユニット11、11'が正しい出力データを出したかを確定するように適合された診断ユニット15、そして診断ユニット15からの情報「d」に基づいて、前記2つの計算ユニットの内の正しい出力データを出した計算ユニットからの出力データがプロセッサ構造1から導かれるよう制御するように適合された制御ユニット16とを含む。

#### 【0074】

2つの計算ユニットが異なる出力データを出した際に2つの計算ユニットのどちらが正しくないデータを出したかを診断または判定する方法は知られているので、その様な判定方法は本書ではこれ以上詳細には説明しない。

#### 【0075】

知られている技術では、2つの並列動作する計算ユニット11、11'は比較器14で差が検出された際に診断または判定「e」の結果を待ち、その後正しい出力データを出した計算ユニット、例えば第1計算ユニット11は判定の結果「e」を受信した後に動作を継続し、正しくない出力データを出した計算ユニット、図示されたケースでは第2計算ユニット11'は停止され、スタートアップ・ルーチンが開始されて停止中の計算ユニット11'は動作を継続している計算ユニット11と同期が取られる。

#### 【0076】

停止中計算ユニット11'をまだ動作中の計算ユニット11と同期させた後、停止中の計算ユニット11'は停止されなかった計算ユニット11と並列動作するために再スタートされる。

#### 【0077】

本発明の1つの好適な実施例に基づけば、プロセッサが二重プロセッサモードで動作している時、すなわち第1及び第2計算ユニット11、11'が共に並列で動作している時、データ・ワードは起こりうるビット誤りを訂正することなくそれぞれの計算ユニットに直接読み込まれる。これはビット誤り訂正からの結果を待つ必要を無くし、各々のメモリアクセスで1データ・サイクル分節約する。

#### 【0078】

第3および第4計算ユニット13、13'はそれぞれの計算ユニットへ読み込まれるデータ・ワードのビット誤りを連続的にチェックするが、プロセッサはこのチェックの結果を待たない。このチェック結果の情報は導体「f」および「f'」上から診断ユニット15で利用可能であり、この情報は比較器14で差が検出された時に誤りの原因を判定する際に後段で使用する。

#### 【0079】

この情報は2つの並列動作している計算ユニット11、11'の1つに読み込まれたデータ・ワードが、この計算ユニットからの出力データが正しくないかどうかと考えるのに使用されることを示しており、これによりその様な場合に診断ユニット15での判定を非常に簡略化する。

#### 【0080】

単一プロセッサ・モードの場合、すなわち2つの並列動作している計算ユニット11、11'の1つが停止されていてももう一方が単独で計算ユニットの動作をしているとき、その結果「g」、「g'」は第3または第4計算ユニット13、13'から待ち受けられ、前記計算ユニットの中に読み込まれた誤りを含む可能性のあるデータ・ワードの起こりうるビット誤り訂正がそれぞれのデータ・ワードが単独で動作している第1または第2計算ユニットの中に読み込まれる前に行われる。第3および第4計算ユニット13、13'はまたビット誤りを訂正するように適合されている。

#### 【0081】

プロセッサ構造1で利用可能な異なるメモリA、B、C、DおよびA'、B'、C'、D'それぞれにアクセスする際に生じ得る誤りを訂正するように意図された、従来の誤り訂正で実行される誤り訂正を妨げるものは何もない。

#### 【0082】

図2から明らかなように、使用されるデータ・ワードとしてそれぞれのデータ・ワード31に複数のチェックビット32が続く構造3を使用することが可能である。図は後続の3つのチェックビット32を具備した8つのデータビットを含むデータ・ワード31の例が図示されている。チェックはそれぞれのデータ・ワード内のデータビット32を後続のチェックビット32と予め定められたアルゴ

リズムに基づいてマッチングをとることで好便に構成されており、ビット誤りを含むデータ・ワード 31 の全ての誤り訂正はそれぞれのデータ・ワードに続くチェックビット 32 を通して実施できる。

### 【0083】

図 1 において、第 1 データ・ワードは第 1 メモリ A から読まれ、第 2 データ・ワードは第 1 メモリ A とは別の第 2 メモリ A' から読まれる。

### 【0084】

しかしながら、第 1 データ・ワードおよび第 2 データ・ワードは、図 3 に基づく共通メモリ A' から読まれる同一のデータ・ワードとして構成される場合もある。

### 【0085】

本発明の方法に基づき動作可能なプロセッサは図 1 に示す構造を有し、：

- ・互いに並列動作可能な第 1 および第 2 計算ユニット 11、11' ；
- ・これによって命令 A に属する第 1 データ・ワードが第 1 計算ユニット 11 内に読み込まれるようにする、第 1 読み込みユニット 12 ；
- ・これによって命令 A' に属する第 2 データ・ワードが第 2 計算ユニット 11' 内に読み込まれるようにする、第 2 読み込みユニット 12' ；
- ・これによって第 1 計算ユニット 11 内に読み込まれた第 1 データ・ワード内でビット誤りチェックが連続的に実施されるようにする第 3 計算ユニット 13 ；
- ・これによって第 2 計算ユニット 11' 内に読み込まれた第 2 データ・ワード内でビット誤りチェックが連続的に実施されるようにする第 4 計算ユニット 13' ；
- ；
- ・その中で並列動作計算ユニット 11、11' からの出力データが比較できる比較器 14 ；
- ・これによって比較器 14 が前記出力データ内に差を検出した時に、正しい出力データを出した計算ユニット 11、11' が判定できる診断ユニット 15 ；
- ・プロセッサ構造 1 からの出力データが正しいデータ出力を出した計算ユニット 11、11' から導かれるように制御することが可能で、診断ユニット 15 から、例えば導体 d を経由してどちらの計算ユニット 11、11' が正しい出力デー

タを出したかの情報を受信する制御ユニット 16、を含む。

#### 【0086】

2つの並列動作計算ユニット 11, 11' は、比較器 14 内で差が検出された際に診断ユニット 15 で実行される判定結果を待つように適合されており、その後正しい出力データを出した計算ユニット、例えば第 1 計算ユニット 11 はこの判定の結果を受信した後、動作を継続するようになされ、一方正しくない出力データを出した計算ユニット、図示された事例では第 2 計算ユニット 11' は停止されスタートアップ・ルーチンに入り、停止中の計算ユニット 11' は未だ動作中の計算ユニット 11 と同期を取られ、その後停止中計算ユニット 11' は再スタートされて停止していない計算ユニット 11 と並列運転される。

#### 【0087】

本発明によるプロセッサは二重プロセッサ・モード、すなわち第 1 および第 2 計算ユニット 11, 11' が互いに並列動作するときに特に適合されており、それぞれのデータ・ワードはそれぞれの計算ユニットに起こりうるビット誤りを訂正せずに直接読み込まれる。

#### 【0088】

この様なプロセッサでは、それぞれ第 3 および第 4 計算ユニット 13, 13' で連続的に実施されたチェックから生じた情報が、例えばそれぞれの導体 f および f' 上で診断ユニット 15 により利用可能であって、診断ユニット 15 で実施される判定または評価で使用され、前記情報は前記 2つの並列動作計算ユニット 11, 11' の 1つの中に読み込まれるデータ・ワードがビット誤りを含んでいるか否かを記している。

#### 【0089】

ビット誤りを含むデータ・ワードが 2つの並列動作計算ユニット 11, 11' の 1つの中に読み込まれると、診断ユニット 15 は前記情報を利用してこの計算ユニットからの出力データが正しくないと考慮するように適合されている。

#### 【0090】

本発明によるプロセッサはまた、単一プロセッサ・モード、すなわち 2つの並列動作計算ユニットの 1つ、例えば第 2 計算ユニット 11' が停止されている時

に、それぞれのデータ・ワードがこの例で単一プロセッサ・モードで動作している第1計算ユニット11に読み込まれる前に、読み込まれた誤りを含んでいる可能性のあるデータ・ワードを訂正するために、誤りを含む読み込まれたデータ・ワードのビット誤りの誤り訂正を行うために第3計算ユニット13が前記情報を利用するように適合されている。

#### 【0091】

先に説明した方法によれば、第3および第4計算ユニット13, 13'が、プロセッサ構造1でアクセス可能な異なるメモリA, B, C, DおよびA', B', C', D'それぞれにアクセスする際に生じ得る誤りを訂正するように意図された、従来の誤り訂正で構成される誤り訂正を実行するように適合されることを妨げるものは何もない。

#### 【0092】

例えば、本発明によるプロセッサはデータ・ワードを取り扱うように適合可能であり、ここで図2によればそれぞれのデータ・ワード31には複数のチェックビット32が続いており、チェックはそれぞれのデータ・ワード内のデータ・ビットを後続のチェックビットとマッチングを取ることで構成されている。そのような実施例において、第3計算ユニット13はビット誤りを含むデータ・ワード31の可能な誤り訂正を、それぞれのデータ・ワード31に続くチェック・ビット32の媒体を通して実行するように適合されている。

#### 【0093】

図1の実施例において、第1読み込みユニット12は第1メモリAから読み込むように適合され、第2読み込みユニット12'は第1メモリAとは別の第2メモリA'から読み込むように適合されている。

#### 【0094】

しかしながら、第1および第2データ・ワードは同一の同じデータ・ワードとして構成しても良く、第1読み込みユニット12および第2読み込みユニット12'が共に、図3に基づく共通メモリA''から同じデータ・ワードを読み込むように適合されることは理解されよう。

#### 【0095】

本発明はいくつかの、誤りを含んだ命令が、プロセッサの中に読み込まれることを意味しており、これはシステムの信頼性に有害な影響を与えると考えられる。

#### 【0096】

これはプロセッサが二重プロセッサ・モードで動作している際に、各々の計算ユニットからいくつかの誤りを含んだ結果が出力される結果となるはずである。これは誤って実行される命令を増加させるが、これらは容易に診断される誤りであり、何故ならばそれぞれ第3および第4計算ユニットから出力される情報が2つの並列動作している計算ユニットのどちらが誤りを含む結果を出したかを直接指示するからである。

#### 【0097】

全体としての時間利得および本発明の特長はこの有害な影響を補って勝る。

#### 【0098】

本発明は先に例としてあげて説明した実施例に制限されるものではなく、添付の特許請求項に示された本発明の概念の範囲内で変更出来ることは理解されよう。

#### 【図面の簡単な説明】

##### 【図1】

図1は本発明のプロセッサ構造の高度に簡略化された図式図である。

##### 【図2】

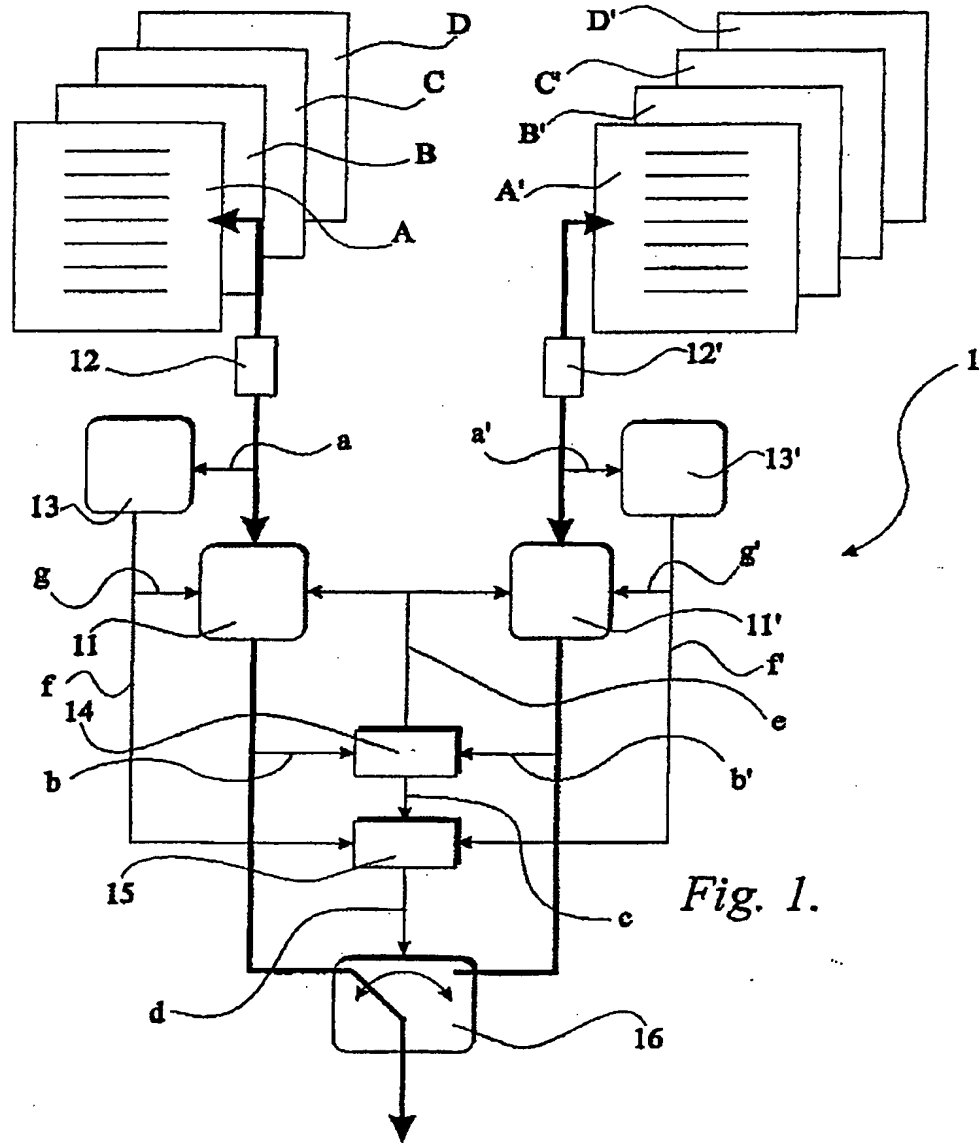
図2は後続のチェック・ビットを具備したデータ・ワードの構造の簡略化された図である。

##### 【図3】

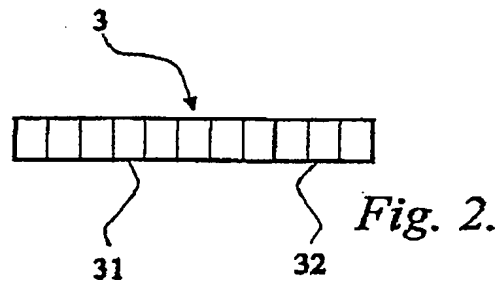
図3は共通メモリから2つの並列動作計算ユニットの中にデータ・ワードが読み込まれるプロセッサ構造の一部の高度に簡略化された図式図である。



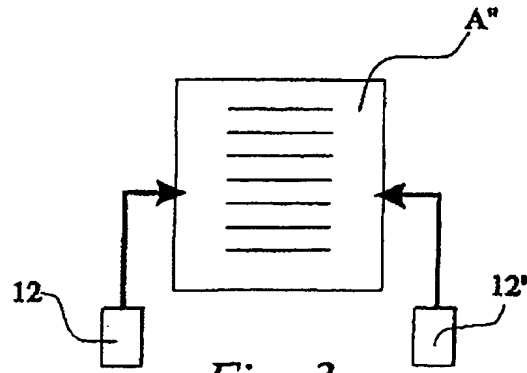
【図1】



【図2】



【図 3】

*Fig. 3.*

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE 98/02267

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC6: G06F 11/14, G06F 11/16 // G06F 11/00 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: G06F, H04L, H04Q		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE, DK, FI, NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPIL, DIALOG, PAJ, TDB		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4358823 A (JOHN C. McDONALD ET AL), 9 November 1982 (09.11.82), page 1, line 20 - page 2, line 35 --	1-14
A	US 4916696 A (NOBUO FUNAKUBO), 10 April 1990 (10.04.90), column 1, line 1 - column 2, line 48 --	1-14
A	EP 433979 A2 (TANDEM COMPUTERS INCORPORATED), 26 June 1991 (26.06.91), page 4, line 20 - page 6, line 9 --	1-14
A	US 5493566 A (MARTIN P.A. LJUNGBERG ET AL), 20 February 1996 (20.02.96), abstract --	1-14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "E" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
16 June 1999		22-06-1999
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Linus Wretblad/MN Telephone No. +46 8 782 23 00

Form PCT/ISA/210 (second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/SE 98/02267

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 9315579 A1 (NORTHERN TELECOM LIMITED), 5 August 1993 (05.08.93), abstract  -- -----	1-14

**INTERNATIONAL SEARCH REPORT**  
 Information on patent family members

01/06/99

International application No.

PCT/SE 98/02267

Patent document cited in search report			Publication date	Patent family member(s)	Publication date
US	4358823	A	09/11/82	NONE	
US	4916696	A	10/04/90	DE 3814875 A,C JP 2111444 C JP 8033842 B JP 63273942 A	17/11/88 21/11/96 29/03/96 11/11/88
EP	433979	A2	26/06/91	NONE	
US	5493566	A	20/02/96	AU 693427 B AU 5723094 A CN 1093210 A EP 0674821 A FI 952928 A JP 8504554 T MX 9306994 A NO 952350 A WO 9414266 A	02/07/98 04/07/94 05/10/94 04/10/95 14/06/95 14/05/96 30/06/94 10/08/95 23/06/94
WO	9315579	A1	05/08/93	CA 2126569 C DE 69221325 D,T EP 0623266 A,B JP 2618328 B JP 6511368 T US 5272696 A	01/07/97 20/11/97 09/11/94 11/06/97 15/12/94 21/12/93

## フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZW

(72)発明者 ホルムベルグ、ペル、アンデルス  
スウェーデン国 ストックホルム、フリン  
トバッケン 18

Fターム(参考) 5B001 AB02 AD01  
5B034 AA02 CC01

## 【要約の続き】

なくそれぞれの計算ユニット(11, 11')の中に直接読み込まれ、第3および第4計算ユニット(13, 13')からの情報は診断ユニット(15)内での前記判定を行うために使用される。ビット誤り制御およびビット誤り訂正はプロセッサが単一プロセッサ・モードで動作中は既知の方法で使用される。